

Family list

1 family member for:

JP2003098548

Derived from 1 application.

**1 LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD
THEREFOR**

Publication Info: JP2003098548 A - 2003-04-03

Data supplied from the esp@cenet database - Worldwide

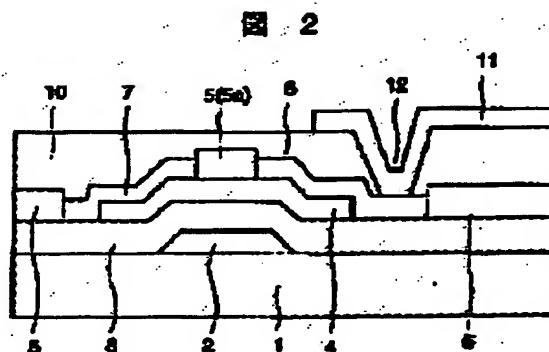
LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

Patent number: JP2003098548
Publication date: 2003-04-03
Inventor: WAKAGI MASATOSHI; CHIYABARA KENICHI; NISHIMURA ETSUKO; MIYAUCHI AKIHIRO
Applicant: HITACHI LTD
Classification:
- International: G02F1/1368; H01L21/288; H01L21/336; H01L29/786; H01L51/00; G02F1/13; H01L21/02; H01L29/66; H01L51/00; (IPC1-7): G02F1/1368; H01L21/288; H01L21/336; H01L29/786; H01L51/00
- european:
Application number: JP20010293212 20010926
Priority number(s): JP20010293212 20010926

Report a data error here

Abstract of JP2003098548

PROBLEM TO BE SOLVED: To provide a liquid crystal display device and a manufacturing method therefor, capable of improving productivity and a utilization factor of materials. **SOLUTION:** A 2nd insulating layer 5 is arranged, which has a semiconductor-layer-top insulating layer 5a of a specified width about at the central part of a semiconductor layer 4 and is also formed to be patterned on a gate insulating layer 3. A source electrode 6 and a drain electrode 7 are formed on the semiconductor layer 4 by application, and the width of the semiconductor-layer-top insulating layer 5a is formed smaller than that of a gate electrode 2.



- 1--絶縁基板、2--ゲート電極(配線)、3--ゲート絶縁層、4--半導体層、
 5--第2の絶縁層、5a--第2の絶縁層の半導体層上絶縁層、6--ソース電極、
 7--ドレイン電極、8--コンタクト層、10--保護性絶縁膜、11--固定電極、
 12--コンタクトホール

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-98548

(P 2 0 0 3 - 9 8 5 4 8 A)

(43) 公開日 平成15年4月3日 (2003.4.3)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
G02F 1/1368		G02F 1/1368	2H092
H01L 21/288		H01L 21/288	Z 4M104
21/336		29/78	616 K 5F110
29/786			619 A
51/00		29/28	

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2001-293212 (P 2001-293212)

(22) 出願日 平成13年9月26日 (2001.9.26)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 若木 政利

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 茶原 健一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100074631

弁理士 高田 幸彦 (外1名)

最終頁に続く

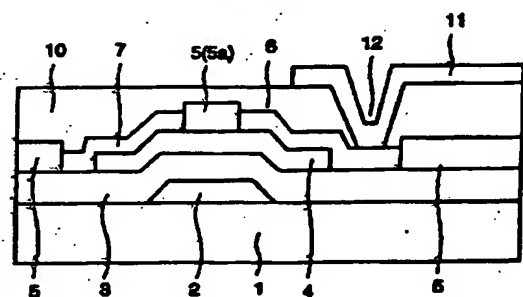
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 本発明の目的は、生産性を向上し材料の利用効率を高くすることができる液晶表示装置およびその製造方法を提供することにある。

【解決手段】 本発明は、半導体層4のほぼ中央部に所定幅の半導体層上絶縁層5aを有すると共にゲート絶縁層3上にパターン化して形成される第2の絶縁層5を設ける。半導体層4上にソース電極6とドレイン電極7を塗付によって形成し、半導体層上絶縁層5aの幅はゲート電極2の幅より小さく形成する。

図 2



- 1…絶縁基板、2…ゲート電極(配線)、3…ゲート絶縁層、4…半導体層、
5…第2の絶縁層、5a…第2の絶縁層の半導体層上絶縁層、6…ソース電極、
7…ドレイン電極、8…コンタクト層、10…保護性絶縁膜、11…画素電極、
12…コンタクトホール

【特許請求の範囲】

【請求項1】 薄膜トランジスタを含む画素を有するアクティブマトリックス型の液晶表示装置であって、前記薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、前記半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共に前記ゲート絶縁層上にパターン化して形成される第2の絶縁層を設け、前記第2の絶縁層によってパターン化された前記半導体層上絶縁層の一方側と他方側の前記半導体層上にソース電極とドレイン電極を塗付によって形成し、前記第2の絶縁層の半導体層上絶縁層の幅は前記ゲート電極の幅より小さく形成されていることを特徴とする液晶表示装置。

【請求項2】 請求項1において、前記ソース電極およびドレイン電極は金属あるいは酸化物導電膜から形成されていることを特徴とする液晶表示装置。

【請求項3】 請求項1において、前記ソース電極およびドレイン電極は印刷あるいはインクジェット法で形成した金属あるいは酸化物導電膜からなることを特徴とする液晶表示装置。

【請求項4】 請求項1において、前記ドレイン電極およびソース電極は前記第2の絶縁層に接していないことを特徴とする液晶表示装置。

【請求項5】 請求項1において、前記ソース電極およびドレイン電極は前記第2の絶縁層と同層に形成されていることを特徴とする液晶表示装置。半導体装置。

【請求項6】 薄膜トランジスタを含む画素を有するアクティブマトリックス型の液晶表示装置であって、前記薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、前記ゲート絶縁層と前記半導体層を覆うように第2の絶縁層を設け前記第2の絶縁層をパターン形成して前記半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共に前記ゲート絶縁層上に形成し、前記第2の絶縁層によってパターン形成によって前記第2の絶縁層が除去された前記半導体層上絶縁層の一方側と他方側の部分の前記半導体層上にソース電極とドレイン電極を塗付によって形成するようにしたことを特徴とする液晶表示装置の製造方法。

【請求項7】 請求項6において、前記ソース電極およびドレイン電極は、前記第2絶縁層をパターン化し除去した部分に金属あるいは酸化物導電膜を印刷法あるいはインクジェット法で形成したことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタをスイッチング素子とするアクティブマトリックス型の液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】 液晶表示装置は薄型で軽量という特長を

有し多分野において使用され、その市場が拡大している。液晶表示装置には、大別して単価マトリックス方式とアクティブマトリックス方式がある。このうち、アクティブマトリックス型の液晶表示装置は、各画素に薄膜トランジスタ(TFT; Thin Film Transistor)などのスイッチング素子を形成し、画素電極に印加される電圧を保持することが可能になる。このため、コントラストなどの画質が優れた画像を表示することができる。

【0003】 TFTは、特開2000-252472号公報に記載されているように、ゲート配線、ゲート絶縁層、半導体層、ソース電極、ドレイン電極、画素電極から構成される。これらの層、配線、電極は薄膜プロセスにより形成される。このうち、ゲート配線、ソース電極、ドレイン電極は主にスパッタリング法などにより成膜した後ホトリソグラフィ工程によりパターンニングされる。

【0004】 この形成法では金属膜などを絶縁基板上にスパッタリング法などにより形成した後、レジスト塗布、露光、現像の工程によりホトレジストパターンを形成し、金属膜をエッチングし、さらにレジストを除去して配線パターンを形成している。

【0005】

【発明が解決しようとする課題】 従来技術は、スパッタリング法などの真空装置を使用してソース電極とドレイン電極を形成している。このため、真空排気などに多くの時間を要し、また、パターン形成のための工程が多いために、生産性を向上させることが困難であるという問題点を有する。

【0006】 また、配線の材料は絶縁基板全面に成膜するが、その後のエッチング工程でほとんど除去するため最終的には一部しか残らず、また、レジストも最終的には全て剥離している。このため、材料の利用効率が低いという実用上の問題点もある。

【0007】 本発明の目的は、生産性を向上し材料の利用効率を高くすることができる液晶表示装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の特徴とするところは、薄膜トランジスタを含む画素を有するアクティブマトリックス型の液晶表示装置であって、薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共にゲート絶縁層上にパターン化して形成される第2の絶縁層を設け、第2の絶縁層によってパターン化された半導体層上絶縁層の一方側と他方側の半導体層上にソース電極とドレイン電極を塗付によって形成し、第2の絶縁層の半導体層上絶縁層の幅はゲート電極の幅より小さく形成されていることにある。

【0009】 換言すると、本発明はソース電極とドレイン電極を塗付によって形成し、ソース電極とドレイン電

極の間隔をゲート電極の幅より小さくするようにしたことにある。

【0010】また、本発明においてソース電極およびドレイン電極は、好ましくは、印刷あるいはインクジェット法で形成した金属あるいは酸化物導電膜から形成される。

【0011】さらに、本発明の薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、ゲート絶縁層と前記半導体層を覆うように第2の絶縁層を設け、第2の絶縁層をパターン形成して半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共にゲート絶縁層上に形成し、第2の絶縁層によってパターン形成によって第2の絶縁層が除去された半導体層上絶縁層の一方側と他方側の部分の半導体層上にソース電極とドレイン電極を塗付によって形成して製造することにある。

【0012】本発明はソース電極およびドレイン電極を形成する前に第2の絶縁層をパターン形成し、第2の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。絶縁基板1上に金属層をスパッタリング法などで形成する。金属としてはAl、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Ni及びそれらの合金などが用いられる。この、金属膜をホトリソグラフィ工程などにより加工しゲート配線2を形成する。このゲート配線2は印刷法やインクジェット法により形成することも可能である。

【0014】次に、CVD (Chemical Vapor Deposition) 法などでゲート絶縁層3、半導体層4を形成する。ゲート絶縁層3としてはSiN膜、SiO₂膜などが挙げられる。また、半導体層4としては非晶質Si膜、結晶質Si膜、微結晶Si膜などが挙げられる。また、これらの層を塗布法、印刷法、インクジェット法などで形成することも可能である。この場合、絶縁層3としてはSiO₂やチタン酸ストロンチウム、チタン酸バリウムストロンチウムなどの金属酸化膜、半導体層4としてはチオフェンオリゴマー、ペンタセン誘導体などの有機半導体が挙げられる。

【0015】次に、第2の絶縁層5を形成する。この絶縁層5として感光性の樹脂あるいはSOG (アクリル、BCB (Bisbenzocyclobutene)、ポリイミド、ポリシラザンなど) を適用する。感光性の樹脂あるいはSOGを塗布した後、露光、現像、焼成によりソース電極6あるいはドレイン電極7に相当する部分を除去したパターンを形成する。また、樹脂に撥水基 (パーフルオロカーボンなど) を混入することも可能である。これにより印刷法あるいはインクジェット法によるソース電極5およびドレイン

電極7の形成時にパターンからのはみだしを防止しやすくなる。

【0016】印刷あるいはインクジェット法によりソース電極6およびドレイン電極7を形成する。この際、金属膜を形成する場合の材料としては、金、銀、銅、モリブデン、クロム、ニッケル、チタン、タンタル、コバルト、インジウム、スズ、亜鉛などの金属粒子、あるいは金属アルコキシドの溶液が挙げられる。また、酸化物導電膜を形成する場合の材料としては、インジウムのアルコキシド、スズのアルコキシド、インジウム塩化物、スズ塩化物、インジウム酸化物、スズ酸化物粒子などの溶液を用いる。印刷あるいはインクジェット法により溶液を塗布後焼成し図2に示す形成のソース電極6およびドレイン電極7を形成する。

【0017】また、図4あるいは図5に示す形成のソース電極およびドレイン電極を形成することも可能である。この際、あらかじめ成膜によりコンタクト層8を形成するか、イオンドーピングあるいはプラズマドーピングによりドーブ層9を形成する。

【0018】成膜の場合、リン(P)をドーブしたa-Si膜などをCVD法などで形成した後、ホトリソグラフィ工程を用いてパターンニングする。また、イオンドーピングではリン(P)などのイオンを打ち込んでドーブ層9を形成する。プラズマドーピングでは、PH₃などのガスを用いプラズマを発生させ試料の表面を処理しドーブ層9を形成する。

【0019】さらにこの上に保護性絶縁膜10を形成する。この際、CVD法などによりSiO₂膜やSiN膜などを形成することも可能であるし、感光性の樹脂あるいはSOG (塗付ガラス) を用いて形成することも可能である。また、ソースドレイン電極を金属で形成した場合、画素電極11として酸化物導電膜を用いて形成する。この場合、スパッタリング法で成膜したあとホトリソグラフィ工程でパターンニングする方法や、印刷法、インクジェット法などにより形成する方法などがある。

【0020】図7に示すように、以上の工程で形成したTFTを配したアクティブマトリックス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16を張り合わせ液晶17を封入し周辺回路を実装し、液晶表示パネルを完成する。

【0021】本発明によれば、コントラストなどの画質が優れた液晶ディスプレイを生産性良く形成することが可能になる。

【0022】以下、本発明の実施例について図面を用いて説明する。

【0023】

【実施例1】図1に本発明による一実施例のアクティブマトリックス型の液晶表示装置の画素部の平面図、図2に図1の要部断面図(A-A')を示す。これらの図面を用いて実施例を説明する。なお、図2は断面図であるが、

図を見易くするためにハッチングを省略している。

【0024】絶縁基板1上にスパッタリング法によりCr膜を200nmの厚さに成膜し、ホトリソグラフィ工程によりゲート配線2に加工する。次に、基板1をプラズマCVD装置中に設置し、ゲート絶縁層3としてSiN膜を350nm、半導体層4としてa-Si膜を200nmの厚さに形成する。原料ガスとして、SiN膜の成膜には、 SiH_4 、 NH_3 、 H_2 の混合ガス、a-Siの成膜には SiH_4 、 H_2 の混合ガスを用いている。ついで、ホトリソグラフィ工程によりa-Siを島状に加工する。

【0025】次に、第2の絶縁層5として感光性SOGを塗布法で形成し、露光、現像によりソース電極6およびドレイン電極7に相当する除去部を形成する。この際、図3に示すように半導体層4のほぼ中央部に所定幅で形成した第2の絶縁層5（半導体層絶縁層5a）の幅をゲート電極2の幅より小さくするように形成している。

【0026】第2の絶縁層5をパターン形成した後にソース電極6、ドレイン電極7をインクジェット法で形成する。この際、金属材料として媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均50ナノメートル、銅の濃度は約10質量%である。ついで、窒素ガス90%、酸素ガス10%の雰囲気中で300℃、5分間、熱処理し、さらに、窒素ガス80%、水素ガス20%の雰囲気中で300℃、2分間、熱処理している。

【0027】ソース電極6とドレイン電極7を形成し、次に、保護性絶縁膜10として感光性SOGを塗布法で形成し、露光、現像によりスルーホール12を形成する。また、このパターンをマスクとして、ゲート絶縁層3をドライエッチングする。

【0028】ゲート絶縁層3をドライエッチングしたならば、画素電極11として酸化物導電膜を印刷法で形成する。この際、インジウムに対するスズの原子数濃度が3at%の平均粒径50nmのスズドープ酸化インジウム微粒子を溶質とし、アセチルアセトンとエタノールのアセチルアセトンに対するエタノールの濃度が20vol%の混合溶液を溶媒とし、インジウムとスズの総量が10mol/Lとなる塗布溶液を用いてスクリーン印刷法により画素電極11と配線端子部の被覆を形成する。塗布後、温度120℃の恒温炉で10分乾燥し、さらに500℃で焼成する。

【0029】図7に示すように作製したアクティブマトリックス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16と張り合わせて液晶17を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0030】

【実施例2】図4に本発明による一実施例のアクティブ

マトリックス型液晶表示装置の画素部の要部断面図を示す。

【0031】図4に示す実施例2は実施例1と同様の方法で絶縁基板1上にゲート配線2、ゲート絶縁層3、半導体層4、第2の絶縁層5を形成する。その後、n'-a-Si膜をCVD法により成膜する。CVD法では原料ガスとして SiH_4 、 PH_3 、 H_2 の混合ガスを用いている。さらに、ホトリソグラフィ工程によりコンタクト層8に加工する。

【0032】次に、ソース電極6、ドレイン電極7を印刷法により形成する。この際、金属材料として、媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均50ナノメートル、銅の濃度は約20質量%である。ついで、窒素ガス90%、酸素ガス10%の雰囲気中で300℃、5分間、熱処理し、さらに窒素ガス80%、水素ガス20%の雰囲気中で300℃、2分間、熱処理する。

【0033】なお、実施例2ではに示すようにソース電極6、ドレイン電極7の端部が第2の絶縁層5に接しないように形成している。

【0034】さらに、この上に実施例1と同様に保護性絶縁膜10と画素電極11を形成する。

【0035】図7に示すように作製したアクティブマトリックス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16と張り合わせて液晶17を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0036】

【実施例3】図5に本発明による一実施例のアクティブマトリックス型液晶表示装置の画素部の要部断面図を示す。

【0037】図5に示す実施例3も実施例1と同様の方法で絶縁基板1上にゲート配線2、ゲート絶縁層3、半導体層4を積層配置し、第2の絶縁層5を形成している。その後、 PH_3 とHeを混合したガスを用いたプラズマ処理を施し、この工程によりドープ層9を形成している。

【0038】ドープ層9を形成した後に、ソース電極6とドレイン電極7を印刷法により形成する。この際、塗布材料として金属材料として媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均50ナノメートル、銅の濃度は約10質量%である。ついで、窒素ガス90%、酸素ガス10%の雰囲気中で300℃、5分間、熱処理し、さらに、窒素ガス80%、水素ガス20%の雰囲気中で300℃、2分間、熱処理している。

【0039】実施例3においても図5に示すようにソース電極6とドレイン電極7の端部が第2の絶縁層5に接しない形成にしている。さらに、この上に実施例1と同様に保護性絶縁膜8、画素電極9を形成する。

【0040】図7に示すように作製したアクティブマトリックス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16と張り合わせて液晶17を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0041】

【実施例4】図6に本発明による一実施例のアクティブマトリクス型液晶表示装置の画素部の要部断面図を示す。

【0042】図6に示す実施例4も実施例1と同様の方法で、絶縁性基板1上にゲート配線2、ゲート絶縁層3、半導体層4を形成し積層配置にする。半導体層4を加工した後、ホトリソグラフィ工程によりゲート絶縁層3の端子部にスルーホールを形成する。さらに、実施例1と同様の方法で第2の絶縁層5を形成する。

【0043】第2の絶縁層5を形成した後に、ソース電極6、ドレイン電極7、画素電極11をインクジェット法により形成する。この際、塩化インジウムと塩化第一スズのインジウムに対するスズの原子数濃度が3at%の混合物を溶質とし、アセチルアセトンとエタノールのアセチルアセトンに対するエタノールの濃度が20vol%の混合溶液を溶媒とし、インジウムとスズの総量が10mol/lとなる塗布溶液を用いている。塗布後、500℃で1時間焼成する。

【0044】その後、実施例1～3と同様に、図7に示すように作製したアクティブマトリックス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16と張り合わせて液晶17を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0045】このようにしてアクティブマトリクス型の液晶表示装置を構成するのであるが、ソース電極およびドレイン電極を形成する前に第2の絶縁層をパターン形成し、第2の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。

【0046】また、半導体層のほぼ中央部に形成される第2の絶縁層の半導体層上絶縁層の幅をゲート電極の幅より小さく形成しているため、ゲート電圧によって活性化できる半導体層の領域がソース電極あるいはドレイン電極から外れることがなくTFTの機能を満足できるようになる。

【0047】

【発明の効果】本発明はソース電極およびドレイン電極を形成する前に第2の絶縁層をパターン形成し、第2の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。また、半導体層のほぼ中央部に形成される第2の絶縁層の半導体層上絶縁層の幅をゲート電極の幅より小さく形成しているため、ゲート電圧によって活性化できる半導体層の領域がソース電極あるいはドレイン電極から外れることがなくTFTの機能を満足できるようになる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す平面図である。

【図2】 本発明の一実施例の要部を示す図1のA-A'断面図である。

【図3】 本発明の一実施例のTFTの断面図である。

【図4】 本発明の他の実施例を示す要部断面図である。

【図5】 本発明の他の実施例を示す要部断面図である。

【図6】 本発明の他の実施例を示す要部断面図である。

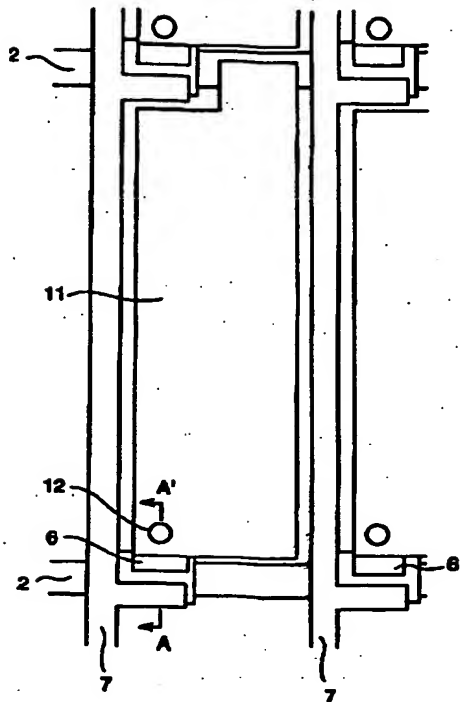
【図7】 本発明による液晶表示装置の一例断面図である。

【符号の説明】

1…絶縁基板、2…ゲート電極（配線）、3…ゲート絶縁層、4…半導体層、5…第2の絶縁層、5a…第2の絶縁層の半導体層上絶縁層、6…ソース電極、7…ドレイン電極、8…コンタクト層、9…ドープ層、10…保護性絶縁層、11…画素電極、12…コンタクトホール、13…アクティブマトリックス基板、14…配向膜、15…スペーサ、16…対向基板、17…液晶、18…透明導電膜、19…カラーフィルタ。

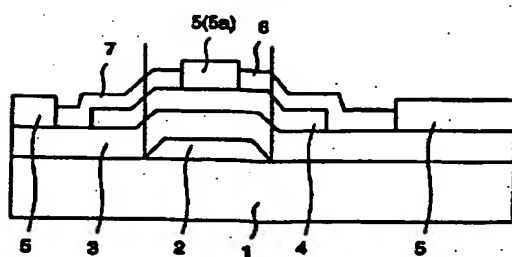
【図1】

図 1



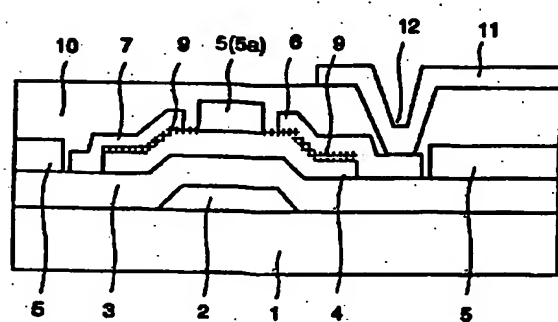
【図3】

図 3



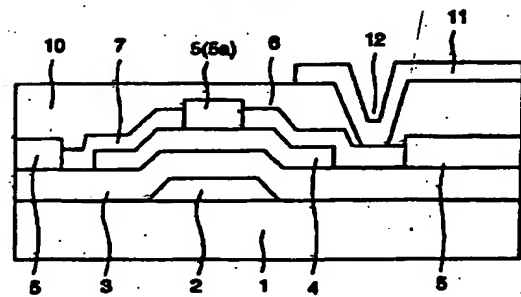
【図5】

図 5



【図2】

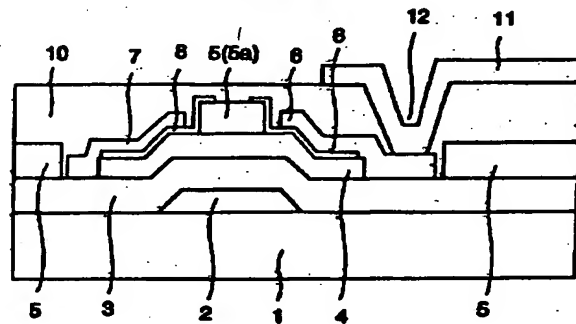
図 2



1…絶縁基板、2…ゲート電極(配線)、3…ゲート絶縁層、4…半導体層、
5…第2の絶縁層、5a…第2の絶縁層の半導体層上絶縁層、6…ソース電極、
7…ドレイン電極、8…コンタクト層、10…保護性絶縁膜、11…配線電極、
12…コンタクトホール

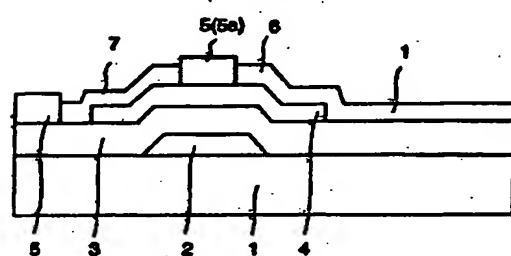
【図4】

図 4



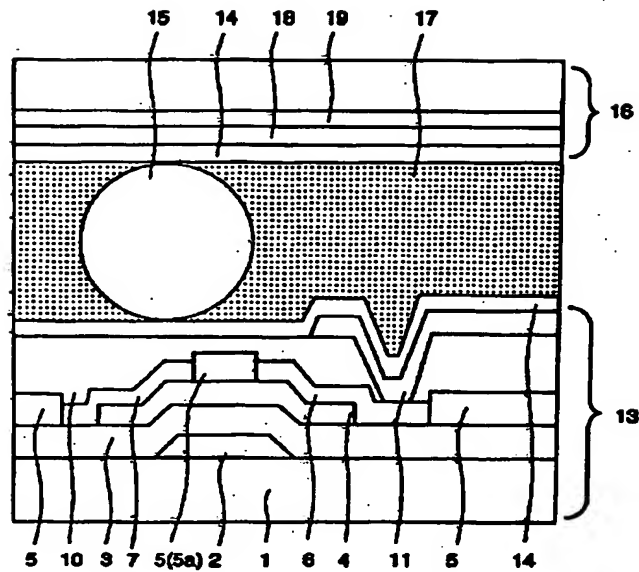
【図6】

図 6



{図 7}

図 7



フロントページの続き

(72)発明者 西村 悦子

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 宮内 昭浩

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

Fターム(参考) 2H092 GA11 GA17 GA25 GA26 GA29

GA30 JA24 JA34 JA36 JA38

JA42 KB01 KB04 KB05 MA01

MA10 NA27 NA29

4M104 AA10 BB01 BB02 BB04 BB05

BB08 BB09 BB13 BB14 BB16

BB17 BB18 BB36 CC05 DD26

DD43 DD51 EE03 EE09 EE14

EE17 GG09 HH20

5F110 AA16 BB01 CC07 CC08 EE02

EE03 EE04 EE06 EE25 EE42

EE44 FF01 FF02 FF03 FF27

FF29 GG02 GG05 GG13 GG14

GG15 GG24 GG42 GG44 HJ01

HJ12 HJ18 HK02 HK04 HK07

HK09 HK16 HK21 HK25 HK32

HL07 HL22 HL23 NN03 NN12

NN22 NN23 NN24 NN27 NN36

QQ06